

## **Cited reference 2**

**Korean Patent Publication No. 97-0121870 (Nov. 11, 1997)**

**Title: Structure of a metal contact of a semiconductor device and a method for forming the same**

### **Abstract**

The present invention relates to a structure of a metal contact of a semiconductor device and a method for forming the same. In particular, this invention relates to a structure of a metal contact of a semiconductor device and the method for forming the same, which is suitable to produce a high-integrated semiconductor device having a micro contact by using a barrier metal in the contact.

The method of the present invention comprises steps of:

- a) forming a contact hole penetrating an insulating film on a semiconductor substrate and forming an impurity region to be connected to the metal under the contact hole;
- b) depositing a barrier metal on a front surface by sputtering with metal, of which oxide also has conductivity;
- c) forming the silicide barrier metal by annealing and simultaneously forming a conductive oxide film by oxidizing the barrier metal;
- d) forming a wiring pattern by depositing the metal to be a wire.

The structure of the present invention comprising:

a semiconductor substrate having an impurity diffusion region to be connected to a metal wire;

an insulating film, which is formed on the semiconductor substrate and which has

an open contact hole on the upper portion of the impurity diffusion region;

a silicide barrier metal formed on the impurity diffusion region;

a conductive oxide of the barrier metal formed on the surface of the silicide and semiconductor substrate; and

a metal wire formed on the conductive oxide of the barrier metal.

### Detailed description

#### [Title of the Invention]

Structure of a metal contact of a semiconductor device and a method for forming the same

#### [Brief Explanation of Drawings]

Fig. 1 is a flow chart of metal wire according to the prior technology.

Fig. 2 is a flow chart of metal wire regarding main features.

#### Explanation of Reference Numerals for Main Features of Drawings

- 10, 20: semiconductor substrate
- 11, 21: insulating film
- 12, 22: photoregister
- 13, 23: impurity region
- 14, 24: impurity ion implantation
- 15, 25: impurity diffusion region
- 16: silicide ( $\text{TiSi}_2$ )
- 26: silicide ( $\text{RuSi}_2$ )
- 17: Titanium/titanium nitride ( $\text{Ti/TiN}$ )
- 27: ruthenium
- 18, 28: metal wire
- 30: conducting oxide
- 19, 29: upper antireflection film

#### [Detailed Description of the Invention]

The present invention relates to a structure of a metal contact of a semiconductor device and a method for forming the same. In particular, this invention relates to a structure of a metal contact of a semiconductor device and the method for forming the same, which is suitable to produce a high-integrated semiconductor device having a micro contact by using a barrier metal in the contact.

When Al-Si alloy wire is used in the semiconductor device as a metal wire, Si in the Al-Si alloy wire is extracted at the contact bottom, making the substantial contact area smaller between Al wire and the diffusion layer. Also, the contact resistance, which increases by the extracted silicon, causes the inferior contact, and the contact resistance increases due to the decrease of the contact area in a high-integrated semiconductor device. Regarding the contact area, as the contact resistance is increased  $K^2$  times, the current density gets bigger  $K$  times. As a consequence, the wire credibility decreases. Also, regarding the wire, the increase of  $K$  times resistance causes the increase of the  $K$  times current density, so it brings the decrease of credibility.

As a method of preventing the creation of silicon at the contact bottom, pure aluminization, which uses pure aluminum as a metal wire was used. However, although the pure aluminization could prevent the silicon extraction in the interface, it causes inferior junction in the contacting area due to the junction spike.

Therefore, the junction in the contact area became better by using a barrier metal between the metal wire and the semiconductor substrate, and a process of forming silicide at the contact part has been developed in order to decrease the resistance in the contact area itself. To achieve the purpose, titanium having a good electric resistance of metal and silicide has been used.

However, the silicide formed by heat treating titanium cannot solve the problem of increased contact resistance by impurity in the aluminum and metal silicide interface, especially natural oxide film( $\text{TiO}_2$ ), which is made by oxidized  $\text{TiSi}_2$ . Also, since the metal silicide cannot play the role as a diffusion preventive layer of silicon atom, it cannot solve the electromigration at the metal wire layer or the aluminum junction spike which is caused because silicon atom passes through the silicide layer.

Therefore, in order to solve the problem that atom Si passes through  $\text{TiSi}_2$  and is diffused to Al wire during the above process having  $\text{TiSi}_2$  as silicide, a technology having a structure of Al-TiN- $\text{TiSi}_2$ , which makes TiN layer as a

barrier metal between the wire and the metal silicide layer, has been developed.

Fig. 1 is a flow chart of metal wire according to the prior technology.

In the semiconductor device which previously used Ti/TiN as a barrier metal, the process of forming a metal wire connecting the contact area and the device is explained as follows referring to Fig. 1.

Firstly, like Fig. (a), the insulator film(11) is formed by depositing a thick oxide film by chemical vapor deposition(CVD) on the semiconductor substrate(10), a photoregister(12) is applied onto it, and the contact area between the metal wire(18) and the semiconductor substrate(10) is defined by photo etching process.

Then, like Fig. (b), a contact hole is formed by dry-etching the insulator film of the contact part. Then, ion implantation process is carried out with arsenic (As) ion in order to make the contact junction at the open contact part.

Then, titanium/titanium nitride(17) are deposited in serial by sputtering on ion-implanted semiconductor substrate, and the annealing in ammonia gas atmosphere is carried out in RTP (Rapid Thermal Processing) device.

As a result of the process, titanium at the contact region forms silicide(TiSi<sub>2</sub>, 16) by reacting with silicon atom of the semiconductor substrate, and the arsenic ion(As<sup>+</sup>), which is implanted to the semiconductor substrate forms the impurities diffusion region(15) through annealing.

When the process is completed, aluminum(18) which becomes wire material is deposited by re-sputtering; titanium nitride is deposited thereon; an upper antireflection film(19) is formed; and wire is completed as Fig. (c) by photo etching process.

By the prior technology, the technology of Al-TiN-TiSi<sub>2</sub> structure forming a TiN layer as a barrier metal between the wire and the silicide layer can solve the problem that the atom is diffused into Al wire. However, there are problems that the process of sputtering is added in order to form TiN layer; the contact resistance at the interface between TiN and TiSi<sub>2</sub> is increased because the oxide film is formed at the interface due to the oxidation of TiSi<sub>2</sub> when the silicide, TiSi<sub>2</sub> is exposed to air; and peeling is created when the annealing is insufficient.

The present invention is to provide a structure of a metal contact of a semiconductor device and the method for forming the same, wherein the contact

resistance in the contact area is decreased by using a metal(e.g. Ru) of which oxide has conductivity at the aluminum bottom, the main wire material; silicide is formed more easily than titanium; and the conducting oxide of ruthenium(Ru), which is easier for etching compared with metal, is formed to decrease the resistance of the contact part.

The method of the present invention comprises steps of a) forming a contact hole penetrating an insulating film on a semiconductor substrate and forming an impurity region to be connected to the metal under the contact hole; b) depositing a barrier metal on a front surface by sputtering with metal, of which oxide also has conductivity; c) forming the silicide barrier metal by annealing and simultaneously forming a conductive oxide film by oxidizing the barrier metal; and d) forming a wiring pattern by depositing the metal to be a wire.

The structure of the invention comprises a semiconductor substrate having an impurity diffusion region to be connected to a metal wire; an insulating film, which is formed on the semiconductor substrate and which has an open contact hole on the upper portion of the impurity diffusion region; a silicide barrier metal formed on the impurity diffusion region; a conductive oxide of the barrier metal formed on the surface of the silicide and semiconductor substrate; and a metal wire formed on the conductive oxide of the barrier metal.

The barrier metal is made of ruthenium(Ru), the silicide is  $\text{RuSi}_2$ , and the conducting oxide is  $\text{RuO}_2$ .

The recommended embodiment of forming method of the contact part according to the present invention is detailedly explained referring to Fig. 2 as follows.

Fig. 2 is a metal wire process according to the present invention. The insulator film(21) is formed by depositing a thick oxide film by chemical vapor deposition(CVD) on the semiconductor substrate(20) like Fig. (a), a photoregister(22) is applied onto it, and photo etching process defines the parts of the metal wire(28) and the semiconductor substrate(20).

Then, like the following Fig. (b), the insulator film(21) of the contact part is etched by dry etching, making the contact hole, and impurity ion implantation(24) process is carried out with arsenic (As) ion in order to make the contact junction in the open contact area.

Then, like Fig. (c), ruthenium(Ru) as the barrier metal is deposited ruthenium(Ru) by sputtering on the ion-implanted semiconductor substrate.

Then, like Fig. (D), the annealing is carried out with a temperature of 400 °C to 800 °C while maintaining the oxygen( $O_2$ ) gas atmosphere in RTP (Rapid Thermal Processing) device.

If the annealing is carried out in the oxygen atmosphere, ruthenium silicide(26) is made in the contact area, and at the same time, Ru-RuO<sub>2</sub> (30) is made by oxidizing the deposited ruthenium(Ru) on the insulator film.

Since the oxidized ruthenium(RuO<sub>2</sub>), which is an oxide of ruthenium(Ru), has conductivity, the resistance is not increased even after forming an oxide film while being exposed to the air.

Therefore, in order to form silicide, the annealing is carried out in the oxygen gas atmosphere, and at the same time, the barrier metal is oxidized, forming a stable film both in the contact area and the insulator film.

When the process is completed, aluminum(28) which is material for wire is deposited by re-sputtering as Fig. (e), titanium nitride is deposited thereon, and an upper antireflection film(29) is made.

The present invention decreased the contact resistance by using ruthenium(Ru) at the bottom of aluminum, which is material for main wire.

Since the specific resistance of titanium(Ti) is  $40 \mu\Omega\text{cm}$  and the specific resistance of ruthenium is  $8 \mu\Omega\text{cm}$ , it has a working effect of decreasing the resistance.

Since the heat of formation per atom at the time of forming RuSi<sub>2</sub> is smaller than TiSi<sub>2</sub> used for the lower Al, it can easily form the metal silicide.

Also, oxide has an advantage that the etching is easier compared with metal.

Like above, the two steps of processes of depositing ruthenium(Ru), and forming ruthenium silicide and at the same time oxidizing a barrier metal have an effect of decreasing the process steps compared with the three steps of processes of depositing existing Ti and TiN in serial, and annealing, to form a titanium silicide.

#### **[What is claimed is]**

##### **Claim 1**

A method of forming a metal wire of a semiconductor device comprising steps of a) forming a contact hole penetrating an insulating film on a semiconductor substrate and forming an impurity region to be connected to the metal under the contact hole; b) depositing a barrier metal on a front surface by sputtering with metal, of which oxide also has conductivity; c) forming the silicide barrier metal by annealing and simultaneously forming a conductive oxide film by oxidizing the barrier metal; and d) forming a wiring pattern by depositing the metal to be a wire.

#### **Claim 2**

The method as claimed in claim 1, wherein the barrier metal is ruthenium(Ru), its silicide is  $\text{RuSi}_2$ , and the conductive oxide is  $\text{RuO}_2$ .

#### **Claim 3**

The method as claimed in claim 1, wherein the annealing of the step c) is processed with heat treatment in the oxygen gas atmosphere.

#### **Claim 4**

The method as claimed in claim 1, wherein the heat treatment temperature of the c) step annealing is from 400 °C to 800 °C.

#### **Claim 5**

A structure of the metal contact area of a semiconductor device comprising a semiconductor substrate having an impurity diffusion region to be connected to a metal wire; an insulating film, which is formed on the semiconductor substrate and which has an open contact hole on the upper portion of the impurity diffusion region; a silicide barrier metal formed on the impurity diffusion region; a conductive oxide of the barrier metal formed on the surface of the silicide and semiconductor substrate; and a metal wire formed on the conductive oxide of the barrier metal.

#### **Claim 6**

The structure of the metal contact area of a semiconductor device as claimed in claim 5, wherein the barrier metal is Ru, its silicide  $\text{RuSi}_2$ , and the conductive oxide is  $\text{RuO}_2$ .

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.<sup>6</sup>  
H01L 21/28

(45) 공고일자 1997년11월11일

(11) 등록번호 특0121870

(24) 등록일자 1997년08월30일

(21) 출원번호	특1994-000351	(65) 공개번호	특1995-024265
(22) 출원일자	1994년01월11일	(43) 공개일자	1995년08월21일
(73) 특허권자	엘지반도체주식회사 문정환		
(72) 발명자	충청북도 청주시 향정동 50번지 김환명		
(74) 대리인	충청북도 청주시 신봉동 삼성아파트 7동 1102호 양순석		

심사관 : 송성표 (특자공보 제5148호)

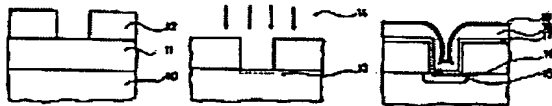
(54) 반도체 장치의 금속 콘택부 구조 및 형성방법

요약

본 발명은 반도체 장치의 금속 콘택부 구조 및 형성방법에 관한 것으로 특히 콘택부에 장벽 금속을 사용하여 미세 콘택부를 갖는 고집적 반도체 장치의 제조에 적합하도록 한 반도체 장치의 금속 콘택부 구조 및 형성방법에 관한 것이다.

본 발명의 방법으로는 a), 반도체 기판 위에 절연막을 뚫은 콘택홀과 이 콘택홀 아래에 금속과 연결할 불순물 영역을 형성하는 단계와, b), 전면에 그 산화물로 도전성을 갖는 금속으로 스퍼터링하여 장벽금속을 증착하는 단계와, c), 어닐링하여 상기 장벽금속의 실리사이드를 형성함과 동시에 상기 장벽 금속을 산화하여 도전성 산화막을 형성하는 단계와, d), 배선이 될 금속을 데포지션하여 배선 패턴을 형성하는 단계를 포함하여 이루어지며, 본 발명의 구조는 금속배선과 연결될 불순물 확산영역을 가진 반도체기판과, 상기 반도체기판 상에 형성되고 상기 불순물 확산영역 상부에 콘택홀이 열린 절연막과 불순물확산영역 위에 형성된 장벽금속 실리사이드와, 상기 실리사이드와 반도체 기판 표면에 형성한 장벽금속의 도전성 산화물과, 상기 장벽금속의 도전성 산화물 위에 형성된 금속배선을 포함하여 이루어져 있다.

도면



명세서

[발명의 명칭]

반도체 장치의 금속 콘택부 구조 및 형성방법

[도면의 간단한 설명]

제1도는 종래 기술에 의한 금속배선 공정도.

제2도는 본 발명에 의한 금속배선 공정도.

\* 도면의 주요부분에 대한 부호의 설명

- |                                |                                |
|--------------------------------|--------------------------------|
| 10, 20 : 반도체 기판                | 11, 21 : 절연막                   |
| 12, 22 : 포토레지스터                | 13, 23 : 불순물영역                 |
| 14, 24 : 불순물이온주입               | 15, 25 : 불순물확산영역               |
| 16 : 실리사이드(TiSi <sub>2</sub> ) | 26 : 실리사이드(RuSi <sub>2</sub> ) |
| 17 : 티타늄/질화티타늄(Ti/TiN)         | 27 : 루트늄                       |
| 18, 28 : 금속배선                  | 30 : 도전성 산화물                   |
| 19, 29 : 상부 반사 방지막             |                                |

[발명의 상세한 설명]

본 발명은 반도체 장치의 금속 콘택부 구조 및 형성방법에 관한 것으로 특히 콘택부에 장벽 금속을 사용하여 미세 콘택부를 갖는 고집적 반도체 장치의 제조에 적합하도록 한 반도체 장치의 금속 콘택부 구조



및 형성방법에 관한 것이다.

반도체 장치에서 금속배선으로 Al-Si 합금배선을 사용한 경우에 Al-Si 합금배선 내의 Si이 콘택 저부에 석출하여 Al 배선과 확산층과의 실질적인 콘택 면적을 작아지게 하고, 석출된 실리콘에 의해서 콘택저항이 증가하여 접촉불량을 일으키고, 고집적 반도체 장치로 가면서 콘택부 크기의 축소로 인하여 콘택저항이 증가하게 된다. 콘택부에 관해서는 콘택저항이 K<sup>+</sup> 배로 증대될과 더불어 전류 밀도가 K배로 증가하여 그 결과 배선 신뢰성이 저하한다. 또한 배선에 관해서는 K배의 저항 증대는 K배의 전류밀도의 증대를 일으켜 신뢰성 저하를 일으킨다.

콘택 저부에 실리콘의 생성을 방지하는 방법으로는 순수 알루미늄을 금속배선으로 사용하는 순수 알루미늄화 방법을 사용하였으나, 순수 알루미늄화는 계면에서의 실리콘 석출은 방지할 수 있으나, 접합 스파이크 불량을 일으키기 때문에 콘택부에서의 접합불량이라는 문제를 발생하였다.

따라서 금속배선과 반도체 기판과의 사이에 장벽 금속을 사용하여 콘택부의 접합을 좋게 하였고, 콘택부 자체의 저항을 감소시키기 위하여 콘택부에 실리콘사이드를 형성하는 공정을 개발하였다. 이러한 목적의 실리콘사이드로서 금속의 전기적 저항 및 실리콘사이드의 전기적 저항이 양호한 티타늄이 사용되어 왔다.

그런데 티타늄은 열처리하여 형성한 실리콘사이드는 알루미늄과 메탈 실리콘사이드 계면에서 이물질 개입, 특히,  $TiSi_2$ 가 산화되어 만들어지는 자연산화막( $TiO_2$ )으로 인하여 콘택저항이 증가하는 문제와, 메탈 실리콘사이드가 실리콘원자의 확산방지층 역할을 하지 못하기 때문에 실리콘원자가 실리콘사이드층을 통과하여 금속배선속으로 용해되어 들어가서 일으키는 알루미늄 접합 스파이크나 금속배선층에 생기는 알렉트로마이그레이션을 해결하지 못한다.

따라서, 실리콘사이드로서  $TiSi_2$ 를 갖는 위의 공정에서 Si 원자가  $TiSi_2$ 층을 통과하여 Al배선으로 확산하는 문제를 해결하기 위하여 배선과 메탈 실리콘사이드층 사이에 장벽금속으로서 TiN층을 형성하는 Al-TiN- $TiSi_2$  구조의 기술이 개발되었다.

제1도는 종래 기술에 의한 금속배선 공정도를 도시한 것이다.

종래에 Ti/TiN을 장벽 금속으로 사용한 반도체 장치에서 콘택부 및 소자를 상호 접속하는 금속배선을 형성하는 공정을 제1도를 참조하면서 설명하면 다음과 같다.

먼저 (a)도와 같이, 반도체 기판(10) 위에 화학기상증착(CVD)법에 의하여 두꺼운 산화막을 증착하여 절연막(11)을 형성하고, 그 위에 포토레지스터(12)를 도포하여 사진식각 공정으로 금속배선(18)과 반도체기판(10)과의 콘택부위를 정의한다.

다음 (b)도와 같이, 콘택부위의 절연막을 건식 식각으로 에치하여 콘택홀을 형성한 후, 열려진 콘택 부위에 콘택 접합을 만들기 위하여 비소( $As$ ) 이온으로 불순물이온주입 공정을 실시한다.

그리고 이온을 주입한 반도체 기판위에 스퍼터링에 의하여 티타늄/질화티타늄(17)을 차례로 증착하고 RTP(Rapid Thermal Processing) 장비에서 암모니아 개스 분위기로 어닐링을 실시한다.

상기 공정의 결과로 콘택 부위의 티타늄은 반도체 기판의 실리콘원자와 반응하여 실리콘사이드( $TiSi_2$ )를 형성하여, 반도체 기판에 주입된 비소이온( $As^+$ )은 어닐링의 결과로 불순물 확산 영역(15)을 형성하게 된다.

위의 공정이 완료되면 다시 스퍼터링하여 배선 재료가 되는 알루미늄(18)을 증착하고 그 위에 질화 티타늄을 증착하여 상부 반사방지막(19)을 형성시키고 사진식각 공정으로 (c)도와 같이 배선을 완성한다.

이러한 종래의 방법에 의하여 배선과 실리콘사이드층 사이에 장벽금속으로서 TiN층을 형성하는 Al-TiN- $TiSi_2$ 구조의 기술은 원자가 Al 배선내로 확산되는 문제는 해결할 수 있으나 TiN층을 형성하기 위하여 스퍼터링하는 공정이 추가되는 문제와, 티타늄/질화티타늄(Ti/TiN)의 산화력이 매우 강하여 그 실리콘사이드인  $TiSi_2$ 가 공기 중에 노출되었을 경우 알루미늄(Al) 배선과의 계면에 산화막을 형성하여 그 결과로 TiN과  $TiSi_2$ 과의 계면의 콘택 저항이 증가하는 문제와, 어닐링이 충분하지 않았을 경우에 펠링(pelting) 현상이 생기는 문제점이 있다.

본 발명은 주 배선 재료인 알루미늄 하부에 그 산화물도 도전성을 갖는 금속, 즉 루드늄(Ru)을 사용하여 콘택부의 콘택 저항을 낮추고 티타늄보다 더 쉽게 실리콘사이드를 형성하며, 금속보다 식각이 용이한 루드늄(Ru)의 도전성 산화물을 형성하여 콘택부의 저항을 감소시킨 반도체 장치의 금속 콘택부 구조 및 형성방법의 제공에 그 목적이 있다.

본 발명의 방법으로는 a), 반도체 기판 위에 절연막을 뚫은 콘택홀과 이 콘택홀 아래에 금속과 연결할 불순물 영역을 형성하는 단계와, b), 전면에 그 산화물도 도전성을 갖는 금속으로 스퍼터링하여 장벽금속을 증착하는 단계와, c), 어닐링하여 상기 장벽금속의 실리콘사이드를 형성함과 동시에 상기 장벽 금속을 산화하여 도전성 산화막을 형성하는 단계와, d), 배선이 될 금속을 도포지선하여 배선 패턴을 형성하는 단계를 포함하여 이루어진다.

본 발명의 구조는 금속배선과 연결될 불순물 확산영역을 가진 반도체 기판과, 상기 반도체 기판 상에 형성되고 상기 불순물 확산영역 상부에 콘택홀이 열린 절연막과, 불순물확산영역 위에 형성된 장벽금속 실리콘사이드와, 상기 실리콘사이드와 반도체 기판 표면에 형성한 장벽금속의 도전성 산화물과, 상기 장벽금속의 도전성 산화를 위에 형성된 금속배선을 포함하여 이루어져 있다.

장벽금속은 루드늄(Ru)이고, 그 실리콘사이드는  $RuSi_2$ 이고, 도전성 산화물은  $RuO_2$ 를 이용한다.

본 발명에 따른 콘택부 형성 방법을 적용한 바람직한 실시예를 제2도를 참조하여 상세히 설명하면 다음과 같다.

제2도는 본 발명에 의한 금속배선 공정도로서, 먼저 (a)도와 같이 반도체 기판(20) 위에 화학 기상 증착(CVD)법에 의하여 두꺼운 산화막을 증착하여 절연막(21)을 형성하고 그 위에 포토레지스터(22)를 도포하여 사진 식각 공정으로 금속배선(28)과 반도체 기판(20)과의 부위를 정의한다.

다음 (b)도와 같이, 콘택 부위의 절연막(21)을 건식 식각으로 에치하여 콘택홀을 형성하고 열려진 콘택부위에 콘택 접합을 만들기 위하여 비소(As) 이온으로 불순물이온 주입(24)공정을 실시한다.

이어서 (c)도와 같이, 이온을 주입한 반도체 기판위에 스퍼터링방법에 의하여 장벽금속으로 루트늄(Ru)을 증착한다.

그리고 (d)도와 같이, RTP(Rapid Thermal Processing)장비에서 산소( $O_2$ ) 개스 분위기를 유지하면서  $400^{\circ}C$  내지  $800^{\circ}C$  범위의 온도로 어닐링을 실시한다.

산소 분위기에서 어닐링을 실시하게 되면 콘택부에 루트늄 실리사이드(26)를 형성시킴과 동성 절연막 위에 증착된 루트늄(Ru)을 산화하여  $Ru-RuO_2$  (30)를 형성한다.

루트늄(Ru)의 산화물인 산화 루트늄( $RuO_2$ )도 도전성을 갖기 때문에 공기 중에 노출되어서 산화막을 형성한 경우에도 저항을 증가시키지 않는다.

따라서 실리사이드를 형성하기 위하여 어닐링을 산소 개스 분위기에서 실시하여 실리사이드 형성과 동시에 장벽금속을 산화시켜 콘택 부위와 절연막 위에서 동시에 안정한 막을 형성시킬 수 있다.

위의 공정이 완료되면 (e)도와 같이, 다시 스퍼터링하여 배선 재료가 되는 알루미늄(28)을 증착하고 그 위에 질화 티타늄을 증착하여 상부 반사 방지막(29)을 형성한다.

본 발명은 주 배선 재료인 알루미늄 하부에 루트늄(Ru)을 사용하여 콘택 저항을 낮추었다.

티타늄(Ti)의 비저항이  $40 \mu\Omega\text{-cm}$ 이고 루트늄의 비저항은  $8 \mu\Omega\text{-cm}$ 이므로 그 자체로서 저항이 작아지는 효과가 있다.

Al하부에 사용된 티타늄(Ti)보다 루트늄(Ru)이 실리사이드를 형성할 때 생성열(Heat of Formation per Atom)이 더 작기 때문에 더 쉽게 메탈 실리사이드를 형성하는 장점이 있다.

또한 산화물이므로 금속보다 식각이 용이하다는 장점을 갖는다.

위와 같이 루트늄(Ru)을 증착한 후, 루트늄실리사이드를 형성하면서 동시에 장벽금속을 산화시키는 두 단계의 공정은 종래의 Ti와 TiN를 차례로 증착하고 어닐링하여 실리사이드를 형성하는 세 단계의 공정보다 공정이 축소되는 효과가 있다.

#### (57) 청구의 범위

##### 청구항 1

반도체 장치의 금속배선 형성방법에 있어서, 가)반도체 기판 위에 절연막을 뚫은 콘택홀 아래에 금속과 연결될 불순물 영역을 형성하는 단계와, 나), 전면에 그 산화물도 도전성을 갖는 금속으로 스퍼터링하여 장벽금속을 증착하는 단계와, 다), 어닐링하여 상기 장벽금속의 실리사이드를 형성함과 동시에 상기 장벽금속을 산화하여 도전성 산화막을 형성하는 단계와, 라), 배선이 될 금속을 대포지선하여 배선 패턴을 형성하는 단계를 포함하는 반도체 장치의 금속 콘택부 형성방법.

##### 청구항 2

제1항에 있어서, 상기의 장벽금속은 루트늄(Ru)이고, 그 실리사이드  $RuSi_2$ 이고, 도전성 산화물은  $RuO_2$ 인 것을 특징으로 하는 반도체 장치의 금속 콘택부 형성방법.

##### 청구항 3

제1항에 있어서, 상기 c)단계의 어닐링은 산소 개스 분위기에서 열처리하는 것을 특징으로 하는 반도체 장치의 금속 콘택부 형성방법.

##### 청구항 4

제1항에 있어서, 상기 c) 단계의 어닐링의 열처리 온도는  $400^{\circ}C$  내지  $800^{\circ}C$ 인 것을 특징으로 하는 반도체 장치의 금속 콘택부 형성방법.

##### 청구항 5

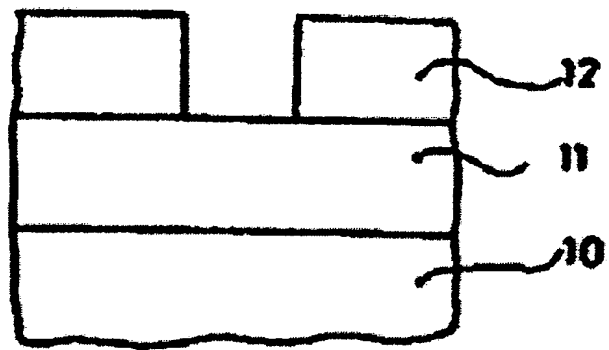
반도체 장치의 금속배선 구조에 있어서, 금속배선과 연결될 불순물 확산영역을 가진 반도체 기판과, 상기 반도체 기판 상에 형성되고 상기 불순물을 확산영역 상부에 콘택부홀이 열린 절연막과, 불순물확산영역 위에 형성된 장벽금속 실리사이드와 상기 실리사이드와 반도체 기판 표면에 형성한 장벽금속의 도전성 산화물과, 상기 장벽금속의 도전성 산화물 위에 형성된 금속배선을 포함하는 반도체 장치의 금속 콘택부 구조.

##### 청구항 6

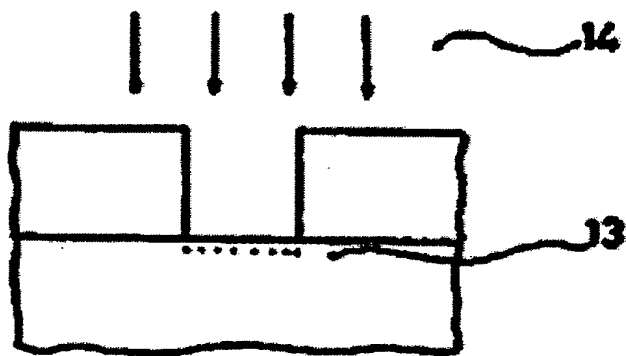
제5항에 있어서, 상기 장벽 금속은 Ru이고, 상기의 장벽금속은 실리사이드  $RuSi_2$ 이고, 상기 도전성 산화물  $RuO_2$ 인 것을 특징으로 하는 반도체 장치의 금속 콘택부 구조.

도면

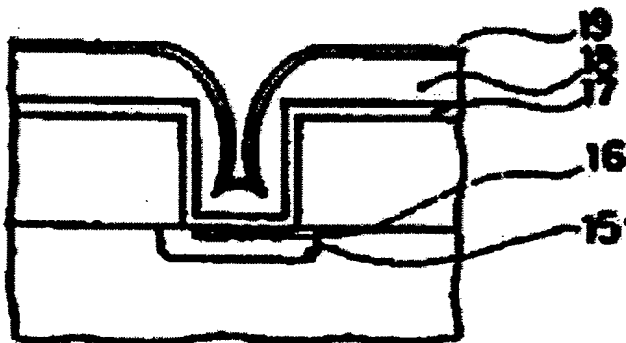
도면1-가



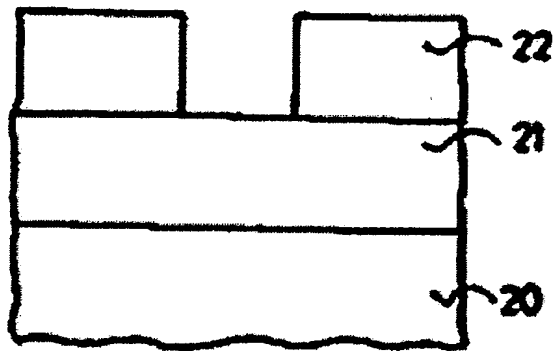
도면1-나



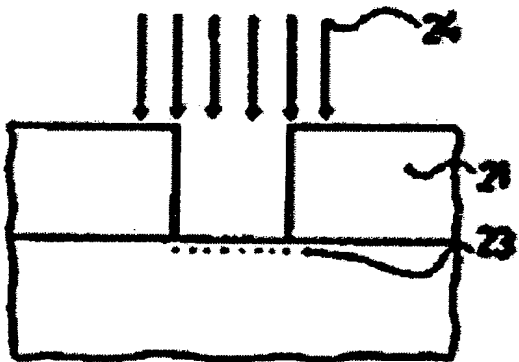
도면1-다



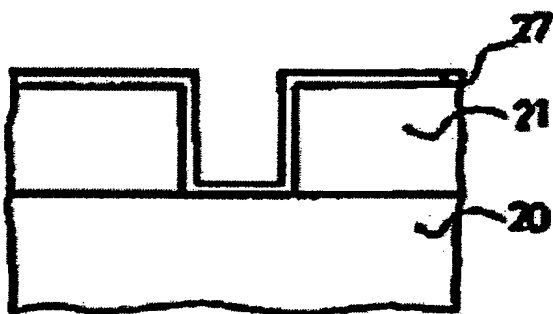
도2-가



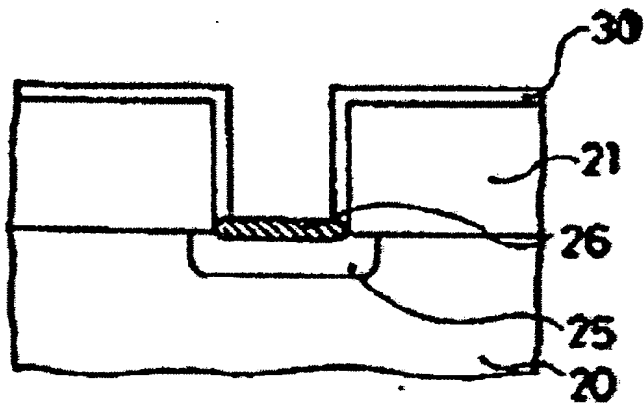
도2-나



도2-다



도 2-가



도 2-나

